

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009165

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

H01L 21/822
H01L 21/8222
H01L 27/04
H01L 27/06

(21)Application number : 2001-118988

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 19.03.1996

(72)Inventor : SANO YOSHIAKI
SADAKATA TOSHIMASA
TAGAMI YASUNARI
OISHIBASHI YASUO

(30)Priority

Priority number : 07073993
07073994Priority date : 30.03.1995
30.03.1995

Priority country : JP

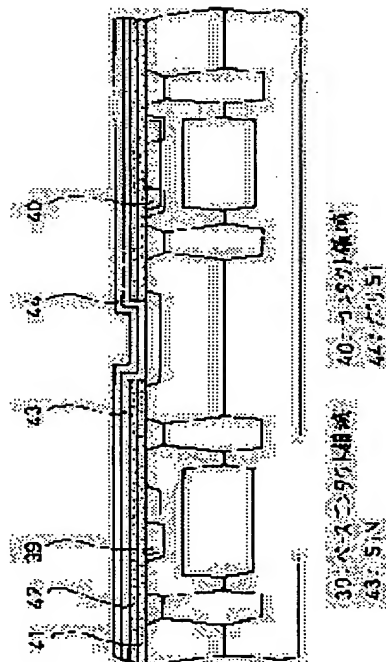
JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that a nitriding Si film uses a dielectric material as an MIS type capacitor formed on a semiconductor board, but the short circuit and characteristic deterioration of the capacitor produces during the formation of the dielectric material when a dielectric film is oxidized and etched.

SOLUTION: Polysilicon 44 is successively adhered after a silicon nitride film 43 is adhered by CVD. Thus, since the silicon nitride film 43 is covered with the polysilicon 44, oxidation is not performed up to a final step. In addition, since impurity is introduced to the polysilicon, it can be utilized as an electrode, and the etching of the polysilicon such as the silicon nitride film is exposed is not needed.



LEGAL STATUS

[Date of request for examination]

18.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9165

(P2002-9165A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl.⁷

識別記号

F I

テーマコード*(参考)

H 0 1 L 21/822

H 0 1 L 27/04

C 5 F 0 3 8

21/8222

27/06

1 0 1 D 5 F 0 8 2

27/04

27/06

審査請求 有 請求項の数6 O L (全 14 頁)

(21) 出願番号 特願2001-118988(P2001-118988)

(62) 分割の表示 特願平8-63244の分割

(22) 出願日 平成8年3月19日(1996.3.19)

(31) 優先権主張番号 特願平7-73993

(32) 優先日 平成7年3月30日(1995.3.30)

(33) 優先権主張国 日本(J P)

(31) 優先権主張番号 特願平7-73994

(32) 優先日 平成7年3月30日(1995.3.30)

(33) 優先権主張国 日本(J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 佐野 芳明

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 定方 利正

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

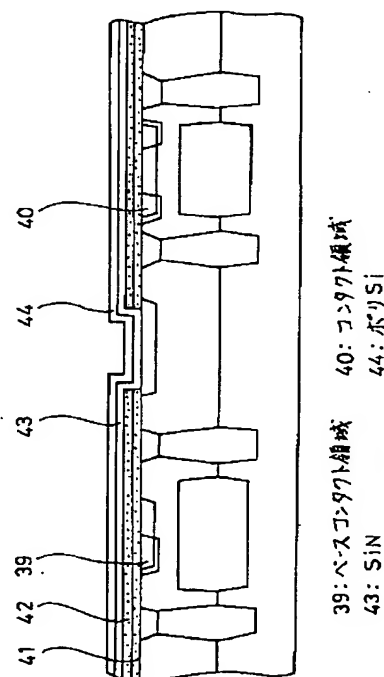
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 半導体基板上に形成されるM I S型コンデンサとして、窒化S i膜を誘電体材料として使用することがある。しかしながらこの誘電体材料の形成時に、誘電体膜の酸化、エッチングが成されると、コンデンサの短絡、特性劣化が生じる問題があった。

【解決手段】 シリコン窒化膜43をCVDで被着したら、続けてポリシリコン44を被着する。従ってシリコン窒化膜43はポリシリコン44で覆われているため、最後まで酸化されない。またポリシリコンに不純物が導入されるため、電極として活用でき、シリコン窒化膜が露出されるようなポリシリコンのエッチングが不要となる。



(2)

1

【特許請求の範囲】

【請求項1】 半導体基板に設けた下層電極と、前記下層電極上に積層された誘電体層と、前記誘電体層上に積層されたポリシリコン層と、前記ポリシリコン層上に設けた上層電極とを少なくとも有する半導体装置において、前記ポリシリコン層にヒ素が導入されることを特徴とする半導体装置。

【請求項2】 前記ポリシリコン層は周辺部よりも中心部が薄く形成されることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記ポリシリコン層は周辺部が絶縁膜で覆われ、前記ポリシリコン層の中心部は前記絶縁膜を開口してコンタクト孔を設けることにより、前記ポリシリコン層周辺部よりも前記中心部のポリシリコン層が薄く形成されることを特徴とする請求項1に記載の半導体装置。

【請求項4】 半導体層に不純物が拡散されることで形成される下層電極と、前記下層電極上に形成された第1の絶縁膜と、前記絶縁膜に設けた開口部と、前記開口部に形成されたシリコン窒化膜と、前記シリコン窒化膜上に積層されたポリシリコン層と、前記ポリシリコン層上に設けた上層電極とを少なくとも有する半導体装置において、前記ポリシリコン層周辺部よりも前記中心部のポリシリコン層が薄く形成され、前記薄く形成されたポリシリコン層にヒ素が導入されることを特徴とする半導体装置。

【請求項5】 前記ポリシリコン層は周辺部が第2の絶縁膜で覆われ、前記ポリシリコン層の中心部は絶縁膜を開口してコンタクト孔を設けることにより、前記ポリシリコン層周辺部よりも前記中心部のポリシリコン層が薄く形成されることを特徴とする請求項4に記載の半導体装置。

【請求項6】 半導体基板に下層電極を形成する工程と、少なくとも前記下層電極上にシリコン窒化膜を形成する工程と、前記シリコン窒化膜の形成工程に連続してノンドープのポリシリコン層を積層する工程と、前記ポリシリコン層および前記シリコン窒化膜を、少なくとも前記下層電極上に残存するようにパターンニングする工程と、前記ポリシリコン層にヒ素を導入する工程と、少なくとも前記ポリシリコン層上に上層電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MIS型コンデンサを形成する半導体装置およびその製造方法に関するも

2

のである。

【0002】

【従来の技術】 例えば特開昭62-163356号公報には、トランジスタと共にMIS型コンデンサの集積された半導体集積回路が詳述されている。つまり図11に有るように、P型半導体基板1上のN型のエピタキシャル層2には全面に渡り、酸化膜等の絶縁膜3が被覆され、P+型の分離領域4で島領域5が形成されている。なお、符号6は、N+型の埋込層である。

10 【0003】 この絶縁膜の開孔部には、MIS型コンデンサの下層電極となるN+型の下層拡散領域7が拡散されており、この開孔部を覆うように全面にSi窒化膜8が被覆されている。ここでこの文献では、Si窒化膜の膜厚補正のためにエッチング工程が入り、その後、1100度のウェット酸化が10分間行われている。この酸化の工程で、余剰のSi（未反応生成物）の酸化が行われ、またピンホールに露出しているSiを酸化してピンホールを塞いでいる。この酸化により、表面にSi酸化膜9が400オングストローム程度に成長している。

20 【0004】 続いて、図12のように、Si窒化膜8の上面にポリSi10が被覆され、更に図13のように、RIEやCDE等のドライエッチング技術により、パターンニングされて形成されていた。また図面では省略したが、この後のベース領域のイオン注入時に、前記ポリSi膜10にもベースの不純物、例えばBが注入され、ポリSi10の抵抗値を下げています。またこのポリSi10の上には、金属材料、例えばAlより成る上層電極が形成され、前記注入により取り出し抵抗が下げられている。

30 【0005】

【発明が解決しようとする課題】 以上MIS型コンデンサの製造方法について説明した。このコンデンサは、IC回路のCR回路等に採用するもので、容量値としては2000~4000PFと非常に大きい容量値を必要とし、また膜厚は、一世代前は900オングストロームであった。一方、ICは、年々シュリンクされ、素子の実装密度が向上しているが、前記MIS型コンデンサは、誘電体膜厚が900オングストロームで厚いため、前記容量値を実現しようとする、コンデンサの占める面積が非常に大きくなってしまいう問題があった。この問題は、コンデンサの膜厚を減少すればその分容量値が増大するため、近年900オングストローム程度から約半分の膜厚、400オングストローム程度を採用するようになってきた。従来例で取り上げた文献では500オングストロームで説明してある。

40 【0006】 一方、Si窒化膜に必要な耐電圧特性は、膜厚が薄くなる分更に強くする必要があった。しかし一般的に、良質のSi窒化膜の耐圧は、400オングストロームで約30ボルト程度である事が判っている。またIC回路は一般に15ボルト電源であるためコンデンサ

50

(3)

3

に加わる電圧は、最高15ボルトであり、良質な膜が形成されれば充分400オングストロームで実現が可能である。しかしSi窒化膜の膜厚を400オングストロームにしても、その面積は広く、IC全体の面積に対して15パーセント〜20パーセント近くまでしめる。従ってどこかに誘電体膜内に欠陥等が発生し、満足のゆかないコンデンサが存在する確率は非常に高い問題があった。

【0007】そこでまず半導体基板に載せられるSi窒化膜自身は良質の膜なのか実験をしてみた。つまりSiウェハ上の酸化膜開口部に400オングストロームのSi窒化膜を成膜し、その上にAl電極を被着し、MIS型コンデンサのみを形成し、耐圧不良を調べてみた。調査の結果、耐圧不良は殆ど無いことが判った。つまりSi窒化膜をCVD法で形成した際、膜は良質の膜であったが、熱が加わりSi窒化膜自身が酸化されたり、またSi窒化膜がエッチング液に浸される等、Si窒化膜が工程の途中で色々な工程に晒され劣化することが判った。

【0008】前述の従来例で説明した図11〜図13の工程は、本来Si窒化膜8の形成工程において、Siの未反応物質、反応途中の物質等の完全に反応されていない物質（中間生成物）が存在するために、積極的にこの完全に反応されていない物質を酸化して絶縁物に変換し、ショートや膜特性の劣化等を防ごうとする主旨のものである。

【0009】しかしSi窒化膜の酸化の前にエッチング工程がある時は、未反応物質がエッチングされピンホールが生成されショート等の問題が有ることが判ってきた。またこのSi窒化膜の熱酸化を経てもこのピンホールがふさがるとは断言できないことも判った。つまり調査研究をし続けてゆくに従い、熱が加わることによる酸化工程およびエッチング工程を経ることが、MIS型コンデンサの特性にとって非常に悪いことが判ってきた。

【0010】一方、完全に反応されていない物質（中間生成物）としては、全て解明されていないが、Si、Si-O-N等がある。つまりこれらの物質およびマイクロクラック等のウィーク・スポットがSi窒化膜に生成され、これらが例えば酸化雰囲気で異常酸化され、この異常酸化されたウィーク・スポットがエッチング工程により取り除かれ、この部分で不良が起こる問題があった。

【0011】例えば熱が加わることによる酸化工程、つまり熱酸化膜の生成工程では、Siが酸化されてSiO₂に、Si-O-NがSiO₂、SiNになり、材質が異なるため構造的に弱いウィークスポットが拡大し、窒化膜の誘電体特性を悪化させるのかも知れない。従来例では、ポリSiにカバーされSi窒化膜の保護が完全であるように見えるが、Si窒化膜の形成後、膜厚制御のためにこの膜をエッチングすると、この構造的に弱いと

4

ころが積極的に除去され（Si窒化膜の中間生成物は、フッ酸で簡単に除去されてしまう）、大きなピンホールを形成し、酸化工程を経てもピンホールによっては埋まらなかったり、ピンホールが小さすぎて酸化が進まなかったりする。また前記ウィークスポットが点在したりすることになる。従って上層に形成した導電材（ここではポリSi層10）と下層拡散領域7が短絡したり、膜質が劣化したりする問題があった。

【0012】またポリSiの代わりにSi酸化膜をSi窒化膜の上にCVDで成膜し、TRのエミッタ、ベースおよびコレクタのコンタクト孔を開ける際に、Si酸化膜を取り除くプロセスもある。つまりSi窒化膜はSi酸化膜で保護されているが、コンデンサの容量値が低下するために、この酸化膜を完全に取り除く必要があり、若干のオーバーエッチする必要がある。結局Si窒化膜はエッチングガスやエッチング液に晒され、前記ウィークスポットが積極的にエッチングされ、耐圧等の特性劣化につながる問題があった。

【0013】つまりエッチングや熱酸化によりSiが絶縁層に成って特性が向上されるのではなく、かえって特性を悪化させることが判った。また熱処理が加わることにより、Si-O-Nが一部は、SiO₂に、また一部がSi窒化膜の中間生成物に成ったりしてウィークスポットが増大し、エッチング工程により、ピンホールが形成されてしまう問題があった。

【0014】更には、ベースに不純物を導入する工程を利用してポリSi膜に不純物を導入しポリSi膜の抵抗値を下げていたが、Si窒化膜は、ベース拡散、エミッタ拡散時の熱処理工程が付加されているので、Si窒化膜の劣化、ポリSi膜の低抵抗値の抑制、hFEのコントロールのしにくさ等が生じた。

【0015】

【課題を解決するための手段】本発明は斯上した課題に鑑みてなされ、MIS型コンデンサの誘電体膜となるSi窒化膜の劣化を防止することにより、MIS型コンデンサの特性の向上を図ることである。本発明のMIS型コンデンサによれば、半導体層と、拡散層と、シリコン窒化膜と、シリコン窒化膜の上に実質他の物質が介在されずに形成され、不純物が導入されたポリシリコン層とを有する。

【0016】このため、製造工程においてシリコン窒化膜の表面がポリシリコン層によって被覆されることで保護され、エッチャントや酸化雰囲気などにシリコン窒化膜の表面がさらされないのがこれが劣化することを抑止することが可能になる。つまり従来のようにピンホールや未反応物質を取り除くためにシリコン窒化膜を酸化せずに、すぐさまポリSiを載せ、基板に到達したままのシリコン窒化膜を維持させるのがこの目的である。

【0017】またポリシリコン層は、不純物が導入されているので一種の電極として成り、ずっとシリコン窒化

(4)

5

膜を保護し続ける。しかもポリシリコン層の膜厚を部分的に薄くすることで不純物濃度を高くでき電極としての機能を高めることができる。さらに、ポリシリコン層の膜厚は、MIS型コンデンサの耐圧が30V以下の際に1500Å以上2500Å以下に形成されている。

【0018】ポリシリコン層の膜厚があまりに薄くなると、例えばポリシリコン層にピンホール等が生成され上下の電極が短絡してしまつてコンデンサとして作用せず、また逆にこれがあまりに厚すぎるとその後不純物をポリシリコン層に導入しても不純物濃度が低くなるので空乏層が広がりやすく成りこれが容量成分を有し、MIS型コンデンサ全体の容量が低下してしまうが、MIS型コンデンサの耐圧が30V以下の際に1500Å以上2500Å以下に形成されていれば、このような短絡の問題や容量低下が生じることを抑止することが可能になる。

【0019】このため、シリコン窒化膜の表面がポリシリコン層によって被覆されることで保護され、エッチャントや酸化雰囲気などにシリコン窒化膜の表面がさらされないでこれが劣化することを抑止することが可能になる。しかもポリシリコン層に不純物を導入しているので電極としての機能を持たせることができ、これより完成するまでポリシリコン層はシリコン窒化膜の上に載って保護し続ける。

【0020】さらに、ポリシリコン層を形成するとき、シリコン窒化膜を酸化雰囲気中に晒されないで形成している。このためシリコン窒化膜を形成する装置から基板を搬出して、ポリシリコン層を形成する装置に入れる際に表面が露出しているシリコン窒化膜が酸化雰囲気などに晒されてしまつて表面が劣化してしまうことを抑止することが可能になる。

【0021】さらに、ポリシリコン層及びシリコン窒化膜の少なくとも周辺部にフォトレジストを選択形成して第2の絶縁膜をエッチングし、残存したポリシリコン層及びシリコン窒化膜の周辺部以外の領域を露出させている。このため、露光ずれなどによってフォトレジストの形成領域がずれてしまつても、フォトレジストの開口がポリシリコン層及びシリコン窒化膜の形成領域からずれて他の領域に開口が形成され、この領域がその後のエッチング工程などで除去されてしまうという不都合を抑止することが可能となる。

【0022】さらに、MIS型コンデンサの誘電体層となるシリコン窒化膜を第1の絶縁膜上に形成した後に、シリコン窒化膜の上に引き続いてポリシリコン層を形成している。このため、シリコン窒化膜の表面がポリシリコン層によって被覆されることで保護され、エッチャントや酸化雰囲気などにシリコン窒化膜の表面がさらされないでこれが劣化することを抑止することが可能になる。

【0023】さらに、MISコンデンサの耐圧が30V

6

以下の場合において、第2の開口を形成するエッチング工程の後に残存するポリシリコン層の膜厚は、1500Å以上2500Å以下である。このため、ポリシリコン層の膜厚が厚すぎて容量が低下したり、薄すぎて短絡してしまうということを抑止できる。

【0024】さらに、残存したポリシリコン層及びシリコン窒化膜の一部が露出するように第2の絶縁膜を残存させる工程では、残存したポリシリコン層及びシリコン窒化膜の周辺部を被覆するように第2の絶縁膜を残存させているので、露光ずれなどによってフォトレジストの形成領域がずれてしまつても、フォトレジストの開口がポリシリコン層及びシリコン窒化膜の形成領域からずれて他の領域に開口が形成され、この領域がその後のエッチング工程などで除去されてしまうことを抑止することが可能となる。

【0025】

【発明の実施の形態】以下に本発明の製造方法を、バイポーラトランジスタの集積回路装置を例に詳述する。先ず図1の如く、P型シリコン半導体基板21の表面に熱酸化膜22を形成した後、N+型の埋込み層23の形成予定領域を蝕刻した後、この開口部を介してN型の不純物であるアンチモンやヒ素をドーブし、約1000度程度で数時間程度拡散する。

【0026】続いて図2のように、前記熱酸化膜22を全面に渡り除去した後に、再度～400オングストローム程度の熱酸化膜24を形成し直し、P+型の上下分離領域の下側の拡散領域の形成予定領域25上が露出するように、熱酸化膜の上にフォトレジスト膜26を形成し、この開口部を介してP型の不純物であるボロンをイオン注入する。ここでは、イオン注入以外に酸化膜を開口し、デポジションで拡散しても良い。

【0027】次に前記フォトレジスト膜26を除去した後、若干の熱拡散を経て、第3図のように、前記半導体基板21上に周知の気相成長法によって比抵抗0.1～5Ω・cmのN型のエピタキシャル層27を約4μmの厚さに形成する。この時は、先にドーブした不純物は上下方向に若干拡散されている。次に、温度約1000℃、熱酸化によって、前記エピタキシャル層27表面に、500オングストローム程度の熱酸化膜を形成した後、この半導体基板全体を約1000℃、約1～2時間の条件で処理して、先にドーブした不純物を再拡散する。

【0028】従つて前記下側の拡散領域は、前記エピタキシャル層27の約半分以上（基板表面から約3μm）まで上方拡散される。また本工程は、酸素雰囲気、N2雰囲気およびスチーム雰囲気等で上拡散され、エピタキシャル層27表面の熱酸化膜28は数千オングストロームの厚さまで成長する。続いてMIS型コンデンサの下層電極となる下層電極領域に対応する前記熱酸化膜28を除去し、N型の不純物を有したデポジション膜、例えばリングラス29を被覆した後エピタキシャル層27内

50

(5)

7

にリンを拡散し、下層拡散領域30を形成する。ここで下層拡散領域30の表面にも、酸化膜が生成され、後述の上側の分離領域、およびベース領域のイオン注入時は、十分にマスクとして働くことになる。ただし、前記熱酸化膜を全て除去し、例えばシリコン窒化膜やSi酸化膜等を付け直して拡散マスクとしても良いし、CVD法で形成しても良い。

【0029】続いて、図4の如く、予定の上下分離領域の上側の拡散領域、予定のベース領域および拡散抵抗領域に対応する前記熱酸化膜28に不純物の導入孔31、32、33を形成する工程がある。ここではポジ型レジスト膜をマスクとし、ドライエッチングによって形成する。この後、図5のようにエピタキシャル層27の露出している開孔領域をダミー酸化して、薄く酸化膜を形成する。このダミー酸化膜は、後のイオン注入工程によるエピタキシャル層27のダメージを減少し、またイオンをランダムに分散して均一に注入するために用いる。

【0030】続いて、図5の如く、前記予定のベース領域上の前記導入孔32と拡散抵抗の導入孔33にマスク34を設け、不純物を導入して前記上側の拡散領域を形成する。ここでは注入イオンのブロックが可能なレジスト膜、いわゆるマスク34を全面に被覆した後、前記上側の拡散領域に対応するマスク34を除去し、P型の不純物であるボロンを所定条件で注入し、図6のように上側の拡散領域35を形成する。

【0031】本工程は、図の如くマスクの開口部を熱酸化膜の導入孔31より大きく形成することで、この熱酸化膜28がマスクとして働くので前記導入孔31と前記上側の拡散領域35の形成位置が一致するようになっている。その後、前記マスク33の除去、所定の熱処理を行ない、前記上側の拡散領域35を下側の拡散領域36へ到達させる。

【0032】本工程では、上下分離領域の下側の拡散領域36をエピタキシャル層27の厚みの半分以上は上げて拡散した後に上側の拡散領域35を拡散しているので、上側の拡散領域35の拡散深さを約1 μ m程度と浅くでき、その拡散時間を約1000℃、1時間に短縮できる。このため上側の拡散領域の横方向拡散を約1 μ mと大幅に抑制でき、上側の拡散領域35の表面占有面積を大幅に縮小できる。具体的には、拡散窓の幅が4 μ mであれば上側の拡散領域35の幅は約6 μ mになる。

【0033】従って、上下分離領域はエピタキシャル層27の厚みの半分以上より小さい長さ、つまりエピタキシャル層表面から浅い位置で連結され、且つ下側の拡散領域36は上側の拡散領域35より幅広に形成される。ところが、集積度はエピタキシャル層27表面での占有面積で決まるので、上下分離領域の占有面積は下側の拡散領域によらず上側の拡散領域で決まる。よって、上側の拡散領域の横方向拡散を大幅に抑えたので、上下分離領域の占有面積を大幅に減少できる。また、上側の拡散領域

8

より下側の拡散領域を幅広にしたので、多少のマスクずれ等があっても完全な接合分離が得られる。

【0034】しかも図4の如く、一度に不純物の導入孔31、32、33を決めているので、上側の拡散領域の形成位置はこの導入孔31の形成位置で決められる。それ故ベース領域と上拡散層との位置合わせによる余裕を省くことができる。続いて、図6の如く前記全ての導入孔31、32、33から不純物を拡散して前記ベース領域37、拡散抵抗領域38を形成する工程がある。

【0035】ここでは、前工程でマスク34が全て除去され、前記上側の拡散領域35、ベース領域37および拡散抵抗領域38の導入孔31、32、33が露出される。この状態でボロン(B)をイオン注入する。従ってベース領域37が形成され、同時に拡散抵抗領域38が形成される。しかも同時に上側の拡散領域35に再度不純物が導入され、分離領域のインピーダンスを下げていく。

【0036】また図6の工程では、マスクを形成せずに注入していたが、本願は分離領域上の導入孔31にマスクを設け、その後ベース領域37および拡散抵抗領域38にのみ注入しても良い。また必要によっては前記2つの領域を1つずつ別々に注入しても良い。またここでも、ベース領域37と拡散抵抗領域38に対応するレジストマスクの開口部を、前記導入孔32、33よりやや大きくするだけで、精度良くベース領域37および拡散抵抗領域38を決定できる。ここではマスクによって余剰な不純物が分離領域へ注入されるのを防止できる。

【0037】続いて図面では省略したが、ベース領域37内に形成予定のベースコンタクト領域39に対応する領域と、分離領域および拡散抵抗領域38の形成予定のコンタクト領域40上が開孔されるように、マスクとなるホトレジスト膜を形成する工程がある。その後、ボロン(B)がイオン注入され、ベース領域37、ベースコンタクト39、拡散抵抗領域38、拡散抵抗のコンタクト領域40が約1000度、1時間で拡散される。

【0038】続いて全面に形成されているマスクと成った熱酸化膜28を除去し、絶縁膜41、42を形成する工程がある。ここではノンドープのシリコン酸化膜41、リンドープのシリコン酸化膜42を夫れ夫れ数千オングストローム積層し、全面の膜厚にあまり差が生じないようにしている。これは、図6で示したシリコン酸化膜であると、予定のエミッタ領域上のシリコン酸化膜は、予定のコレクタコンタクト領域上のシリコン酸化膜より薄いため、コレクタコンタクト領域の導入孔が完全に開くまでには、エミッタ領域となるエピタキシャル層がエッチングされてしまう。そのために、前述の如く、シリコン酸化膜を形成し直し、膜厚差を無くしてエミッタ領域のエピタキシャル層のエッチングを防止している。またこの2種類の膜は、膜の接合性、金属イオンのエピタキシャル層への浸入等を防止しているものであ

9

り、これを考える必要がなければ、いわゆる半導体絶縁膜、例えばSi酸化膜、Si窒化膜等の絶縁膜を1層で達成しても良い。

【0039】例えば2層の絶縁膜であれば3000オングストロームずつ6000オングストロームの厚みとなり、1層で有れば2～3000オングストローム程度である。続いて、前記膜41、42は、膜の緻密度を向上させるために、デンシファイと称する酸素雰囲気内で約800度、約1時間の酸化処理がある。

【0040】本工程も本発明の特徴であり、このデンシファイ工程を窒化膜成膜前に行うこともポイントとなる。従って、Si窒化膜の前述したような組成変化を抑制させることができる。更に図7に示す如く、ネガ型のホトレジスト膜を使って、MIS型容量素子の予定の誘電体薄膜が形成されるシリコン酸化膜41、42を除去し、誘電体薄膜を形成する工程がある。

【0041】ここでシリコン酸化膜41、42は、ウェットエッチングにより開口され、全面に数百オングストロームのシリコン窒化膜43および数千オングストロームのポリSi44が減圧CVDで連続で形成され、そしてケミカルドライエッチングによって図8の如くエッチングされる。一例としてSi窒化膜は約400オングストローム、ポリSiは2000～3000オングストロームである。

【0042】本工程は、本発明の特徴とするところであり、第1に、Si窒化膜43を形成した後、別にエッチング工程を経ず直ちにポリSi膜を生成することにある。つまりSi窒化膜の中には、完全に反応されていない物質あるいは中間生成物（例えばSi-O-N等）が程度の差は有るが存在しているために、酸化が発生しないようにポリSi膜を形成すれば、この後酸化雰囲気さらされてもSi窒化膜の中の未反応物質は、酸化されない。またポリSiがあるために、エッチング液にSi窒化膜が晒されないためウィークスポット等が除去されることもない。また後述するが、連続してポリSi膜を付け、その後の保護膜として活用すると同時に、このポリSiを電極として活用して、後でポリSiを全て取り除いてSi窒化膜をエッチング液や酸化雰囲気に露出させないことに意義がある。

【0043】ここで、Si窒化膜とポリSiは、減圧CVDで成膜されるが、非酸化性雰囲気中で、しかも連続で成膜されることにより、Si窒化膜成膜後に非酸化性雰囲気中で直ちにポリSi膜をこの上に成膜する事ができる。また第2にベース拡散工程の後、エミッタ拡散の前にSi窒化膜を成膜する事で、ベース拡散の熱処理が加わることがないので、ウィークスポットの増加（例えばSi-O-Nの一部がSiO₂やSiNに変換する）量を抑制できる。しかも、エッチング工程がこの後にあっても、Si窒化膜43は直接エッチング液にさらされないため誘電特性は維持できる。

(6)

10

【0044】続いて、フッ素系エッチング材料により図8のようにエッチングを行い、再度全面に渡り新しい酸化膜が生成されるように、ペイキング処理が行われる。ここでエッチングガスは、ポリSiがCF₄+O₂、Si窒化膜は、CF₄+O₂+N₂ガスでドライエッチングしている。殆どそのガスは同じであるため、1つのチャンバー内で連続してエッチングできる。

【0045】本工程も本発明の特徴とするところであり、このフッ素系ドライエッチング材料は、Si窒化膜のSi酸化膜をエッチングするがポリSiでカバーされているためにこのエッチングの問題が無くなる。またここでエッチング方法は、湿式、ドライの2つがあるがどちらにしても、リンドープのSi酸化膜42の膜質が荒れるため、表面に新しい酸化膜を成長させて後の工程のレジストの密着性を向上させるために、このペイキングを行っている。従って、ポリSi44の表面に酸化膜45が生成される。よって、後述のコンタクト孔形成がレジスト剥離もなく良好にエッチングできる。またここでは別途Si酸化膜やSi窒化膜等の絶縁膜をCVD法等で被着させても良い。

【0046】続いて、図9の如く全面にホトレジスト膜を形成し、異方性エッチングによって、予定のエミッタ領域、ベースコンタクト領域、予定のコレクタコンタクト領域、予定の下層電極のコンタクト領域、拡散抵抗領域のコンタクト領域およびMIS型コンデンサのポリSi電極上のシリコン酸化膜41、42、45を除去し、開口部46～51を形成する。つまりポリSiの上に生成されている酸化膜45は、このエッチング工程により除去されるが、図のように側面には残している。

【0047】ここで重要なことは、コンタクト46～50の開口の際に、ポリSiの上の酸化膜が取れ更にこのポリSiが完全にエッチングされては成らないことである。つまりコンデンサの誘電体となるSi窒化膜がエッチングに晒されて特性劣化を引き起こすからである。例えばこのコンタクト孔のエッチングガスをCHF₃+O₂ガスで行うと、そのエッチングレート比は、SiO₂:ポリSi=8:1程度である。またドライエッチングでは、コンタクト孔内のエピタキシャル表面に欠陥が入るため、更にNF₃ガスでエネルギーを下げ、軽くエッチングしている。つまり6000オングストロームの酸化膜41、42とエピ表面から100オングストローム程度がエッチングされる時に、ポリSi膜52は、約1000オングストロームエッチングされ、約2000オングストロームのポリSiが残ることになる。

【0048】図21は、専用のテストパターンを用いてポリSiの付着膜厚と耐圧不良率について調べたものである。ポリSiは、500、1000、1500、2000、2500、3000、4000オングストロームと7種類用意し、電圧は、0.5ボルト以下、1～10ボルト、1～30ボルトでふってみた。つまり1000

(7)

11

オングストローム以下で急速に不良が増加する。約1500オングストローム以上であれば、不良率を2パーセント以下にすることができる。従って1500オングストローム以上のポリSiが残存するように、エッチングレートを考慮しながら絶縁膜41、42の膜厚および最初に付けるポリSiの膜厚を決定しなければならないことが判る。

【0049】一方、このポリSiを3000オングストロームから2000オングストロームに薄くすることには別の効果もある。つまりこの後にエミッタの不純物を導入するが、この工程を利用して薄くなったポリSiにも不純物を導入している。つまり3000オングストロームのポリSiに対して2000オングストロームの薄いポリSiは、単位体積当たりの不純物濃度が約1/3だけ増加することになり、より抵抗値の低いポリSi電極を実現できる。

【0050】そして前記ホトレジスト膜を除去した後、再度予定のエミッタ領域、予定のコレクタコンタクト領域および前記下層電極領域のコンタクト領域に対応するエピタキシャル層が露出する様にホトレジスト膜を形成し、このホトレジスト膜をマスクとして、ヒ素(As)をイオン注入し、拡散工程を経てエミッタ領域、コレクタコンタクト領域および下層電極領域のコンタクト領域を形成する。

【0051】本発明は、第3の特徴であり、このイオン注入の工程で、ポリSi電極52にもAsを注入することで、前述したような原理でポリSi自体の抵抗値を更に下げている。更には、前述したように、トランジスタの心臓部であるエミッタ領域は、窒化膜の形成の後で拡散が行われ、エミッタ拡散を行った後でSi窒化膜の成膜を行わないことに特徴を有する。つまり窒化膜成膜時およびその後の熱処理が加わることでトランジスタのhFEの変化を防止することができる。

【0052】続いて、前記拡散時に表面に酸化膜が生成するので開孔部48～51の露出面をライトエッチングをして、図10の如くアルミニウム電極を形成している。前述したようにNF3ガスでエネルギーを下げ、軽くエッチングしている。従って、エミッタ領域53、ベースコンタクト領域39、コレクタコンタクト領域54、下層拡散領域のコンタクト領域55およびベースコンタクト領域の開孔部には、エミッタ電極56、ベース電極57、コレクタ電極58、下層電極59、拡散抵抗の電極60、60およびMIS型コンデンサの上層電極61がそれぞれオーミックコンタクトされて形成される。

【0053】またここでは、1層メタルで説明したが、多層メタルが実現される場合は、PIX等の絶縁膜の上に更に2層目のメタルが設けられ、パシベーション膜が成膜され完成される。以下Si窒化膜の上に酸化膜が生成されないようにしてポリSiを生成することが重要な

12

点であるが、それを立証する実験を行ったので以下に述べる。図22は、電圧のかけ方を4種類用意し、それぞれAは、1ボルト未満、Bは1から10ボルト、Cは、1から20ボルト、Dは1から30ボルトに振った。右の表のPoly法は、今まで説明した本発明の工程を採用したもので、左の従来法は、以下に述べるポリSiを載せずに直接メタルを載せたものである。またコンデンサの面積は6mm²で2枚のウェハにそれぞれ174点作った。

【0054】従来方法は、図7の所でSi窒化膜43が積層されたら、予定の誘電体層の上にホトレジストを残し、Si窒化膜のパターニングをしている。その後は、ベイク処理からエミッタの拡散までは同じで、コンタクトのライトエッチングの時、Si窒化膜の上にレジストを載せ希フッ酸で表面の酸化膜を取り、レジストを取り除き再度希フッ酸で短い時間エッチングをし、メタルを形成している。

【0055】つまりSi窒化膜は、パターニングの後に行われるホトレジの密着性を上げるためのベイクで酸化され、最後のエッチングで希フッ酸液にさらされている。また定かではないがベイクからエミッタ拡散までにはコンタクトエッチング、エミッタインプラのためのホトレジ付着、除去等の工程で酸化や熱が加わり、レジストによってはレジストの穴を介してエッチング液がSi窒化膜に触れることも考えられる。

【0056】ポリSiを載せない方の従来方法が3%から25パーセントであるに対して、ポリ法では全てが5パーセント以下であった。次に第2の実施の形態を図14～図20を参照しながら説明する。図3の下層拡散領域の工程までは、実質同じであるので説明は省略する。図14は、図3の熱酸化膜28を全面に除去した後、約500オングストローム程度の薄い酸化膜70を形成し、上側の拡散領域が露出されるように、レジスト71を形成し、このレジストをマスクとして、P型の不純物をイオン注入する。

【0057】この後レジストの除去を経て、拡散を行い下側の分離領域と上側の分離領域をリンクさせる。(図15参照)

続いて、ベース領域、拡散抵抗領域が露出されるようにレジスト72を形成し、P型の不純物をイオン注入する。(図16参照)

更に、ベースコンタクト領域、拡散抵抗のコンタクト領域が露出されるようにレジスト73を形成し、やはりP型の不純物をイオン注入する。ここで本工程および前工程で注入された不純物が拡散される。(図17参照)

続いて、MIS型コンデンサの下層拡散領域に対応する酸化膜70を除去し、Si窒化膜およびポリSi膜を非酸化性雰囲気、LP-CVDにより連続して成膜する。更には、前記2種類の膜をエッチングして所定の形状にパターニングする(図18参照)

(8)

13

続いて、全面に渡り、ノンドープのSi酸化膜74とリンドープのSi酸化膜75を成膜し、前述したレジストの密着性を考え、若干の熱酸化を経て、必要なコンタクトロを開口する。ここでは、エミッタ、ベース、コレクタコンタクト、MIS型コンデンサの上部電極、下層電極領域、拡散抵抗のコンタクト領域に夫々開孔部が設けられる。(図19参照)

ここでは、絶縁膜として70、74、75で、膜厚は更に厚くなる。従って前実施の形態でも説明したように、この絶縁膜のコンタクト孔が開孔したとき、ポリSiの膜厚は約1500オングストローム程度は残るように設定しておく必要がある。

【0058】この工程は、前実施の形態でも説明したように、Si窒化膜、ポリSi膜のドライエッチングによる膜粗面化を防止するものであり、レジストの密着性を向上させるものである。続いてエミッタ、コレクタコンタクト、MIS型コンデンサの下層電極領域、のみレジストにより開口し、N型の不純物をイオン注入し、これを拡散し、電極を形成する。(図20参照)

以上のように、2層メタル構造を実現するために、ノン
ドープ、リンドープの膜付けで熱処理工程が付加される
が、エミッタ形成前に、ポリSi、Si窒化膜を付け、
その後で、エミッタの注入、拡散を行っているので、S
i窒化膜の劣化を抑えつつ、所望のhFEを得られる特
徴を有する。

【0059】

【発明の効果】以上の説明からも明らかな様に、シリコン窒化膜の上には実質他の物質が介在されずに不純物の入ったポリシリコン層が形成されているので、シリコン窒化膜は製造工程に於いて、ポリシリコン層で保護される。しかもポリシリコンが電極として働くために製品になるまでずっと保護し続けることができる。従ってコンデンサが劣化せず、歩留まりの高い製品が可能となる。

【0060】また、例えばトランジスタ工程のエミッタ不純物導入工程を活用すれば、工程も簡略化でき、また電極を薄くしてここに不純物が導入されているので単位体積当たりの不純物濃度を高くし、より一層メタル電極に近づけている。従って、抵抗分が小さい分コンデンサの特性を向上させることができる。また1500オングストローム～2500オングストロームの間に設定することで、あまり薄くて歩留まりが低下することもなく、また厚過ぎで不純物濃度が低下し、容量値が低下することなく、目的の容量値を実現できる。

【0061】続いて製法に於いては、まずSi窒化膜上に連続してポリSi膜を被覆すると、その後の工程で、酸化雰囲気中に晒されても、或いはエッチング工程でエッチャントに晒されても、ポリSiがあるために良質な膜を維持することができる。また絶縁物では容量値の低下を防止するため取り除かれるが、本発明ではポリSiに不純物が導入され、メタルとして活用しているの、ポ

14

リSiをエッチングする必要がない。従って最後までSi窒化膜はポリSiで保護される。またポリSi層が露出したところをエッチングし、膜厚を薄くし、ここに不純物を導入すれば、薄くなった分単位体積当たりの不純物濃度が高くなり、ポリSiをよりメタル特性に近づけて使用することができる。さらに、ヒ素イオンはリンイオンよりもその原子サイズが大きいので、イオン注入の際にポリシリコン層中に留まり、ポリシリコン層の不純物濃度の低下を抑制できる。その上、MISコンデンサの誘電体である窒化膜へ影響を及ぼすことがないので、コンデンサは、特性劣化もなく歩留まりの高いものが実現できる。

【0062】またMIS型コンデンサのコンタクト孔を開ける際に、同時にポリシリコン層をエッチングして薄くしているので、前述のことを同時に実現できる。しかも膜厚の関係では、ポリシリコンが完全に取り除かれては、本発明の主旨と逸脱する。つまりコンタクトが完全に開いてもポリSiが残ることで、製品の歩留まりを維持することができる。特に前述したように1500～2500オングストローム程度が好ましい。

【0063】また本工程は、トランジスタを組み込んだICでも良く、その場合は、トランジスタのコンタクト孔、またエミッタの拡散孔およびコンタクト孔となる部分も含めて開口しても、前述したようにポリシリコン層は、シリコン窒化膜の上に残存する必要があり、これにより歩留まりの向上を実現できる。しかも、MIS型コンデンサをICの素子と一緒に作り込む際、エミッタの不純物導入の際にポリSiにも導入すれば、工程が簡略化でき、またエミッタ拡散の前にSi窒化膜、ポリSi膜の熱処理が加わるため、回路特性の重要要素であるトランジスタのエミッタ特性変化を回避することができる。また決められた値の不純物濃度であっても、厚みを薄くする分ポリSiの抵抗値を下げる例え、トランジスタのコレクタ、ベースのコンタクト孔、エミッタの拡散孔およびコンデンサの下層電極領域のコンタクト孔を開けると同時に、ポリSiの表面の第2の絶縁膜開けを同時にすることができる。また第1の絶縁膜は厚く、ポリSiの上に成長する絶縁膜は薄くまた実質その組成が同じであるため、ポリSiを若干エッチングすることができる。このエッチング工程の後のエミッタ不純物導入時にポリSiにも不純物が導入でき、エミッタの不純物を有効に活用し、より抵抗値の低いメタルに近いポリSi膜が実現できる。

【0064】また再度繰り返すことになるが、ポリSiをSi窒化膜の保護膜と使用すると同時に電極として活用することに重要な意味がある。つまりポリSiの保護膜として絶縁膜を使えば、絶縁膜が載っている間は保護膜として活用できる。しかし一般にはこの絶縁膜も誘電体の1つでありその分コンデンサの膜厚が厚くなり容量値は低下することになる。つまり容量値の高いものを実

(9)

15

現するためには、この絶縁膜をエッチングする必要が出てくる。その結果絶縁膜のエッチング最終あたりでエッチャントはSi窒化膜と接触し誘電体特性を劣化させる。その点、ポリSiは、不純物が導入されておりメタルとして活用できる。実際はこの上にAlが載るが、メタルとして活用されるためにこのポリSiを取り除く必要は全くなく、容量値の低下もない。

【0065】従って誘電体の膜質低下の防止、ポリSi電極の抵抗値の低下を実現でき、コンデンサとして特性の優れたものが容量値の変化もなく実現できる。最後に、前述したように、ポリSiを電極として活用できるが、更にこの上にはメタルがあるために二重電極構造となっている。しかしこのポリSiを取り除くと、Si窒化膜はエッチング液にさらされ、窒化膜に劣化が生ずる。またいわゆるウォッシュドエミッタの前にSi窒化膜が露出していれば、エミッタ拡散の時にSi窒化膜が酸化される。従ってウォッシュドエミッタの前にもポリSi膜を残存させることで、誘電体膜の特性劣化を防止している。

【図面の簡単な説明】

【図1】本発明の製造方法を説明する断面図である。

【図2】本発明の製造方法を説明する断面図である。

【図3】本発明の製造方法を説明する断面図である。

【図4】本発明の製造方法を説明する断面図である。

【図5】本発明の製造方法を説明する断面図である。

【図6】本発明の製造方法を説明する断面図である。

16

【図7】本発明の製造方法を説明する断面図である。

【図8】本発明の製造方法を説明する断面図である。

【図9】本発明の製造方法を説明する断面図である。

【図10】本発明の製造方法を説明する断面図である。

【図11】従来の製造方法を説明する断面図である。

【図12】従来の製造方法を説明する断面図である。

【図13】従来の製造方法を説明する断面図である。

【図14】本発明の他の製造方法を説明する断面図である。

【図15】本発明の他の製造方法を説明する断面図である。

【図16】本発明の他の製造方法を説明する断面図である。

【図17】本発明の他の製造方法を説明する断面図である。

【図18】本発明の他の製造方法を説明する断面図である。

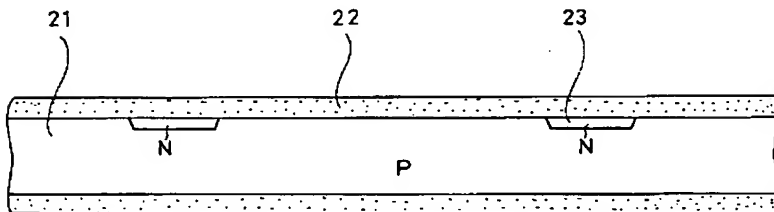
【図19】本発明の他の製造方法を説明する断面図である。

【図20】本発明の他の製造方法を説明する断面図である。

【図21】本発明のポリSi膜の膜厚と耐圧不良の関係を示した図である。

【図22】従来法とpoly法による不良率を調べた図である。

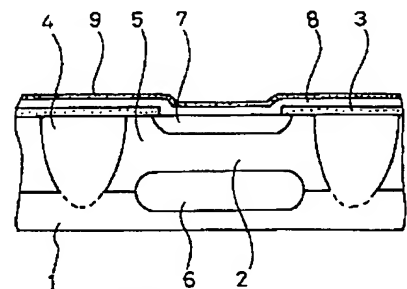
【図1】



21: P型の半導体基板
23: N+型の埋込層

22: 熱酸化膜

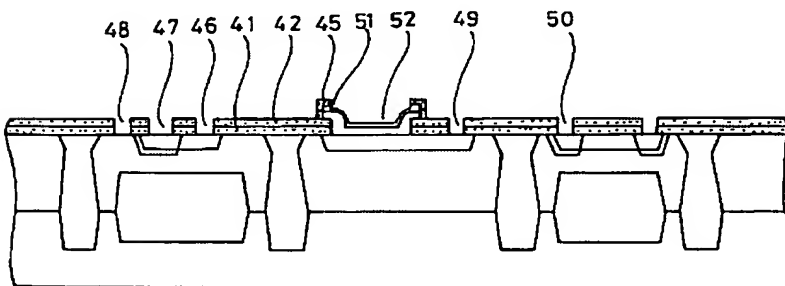
【図11】



1: P型半導体基板
3: 絶縁膜
7: 下層拡散領域

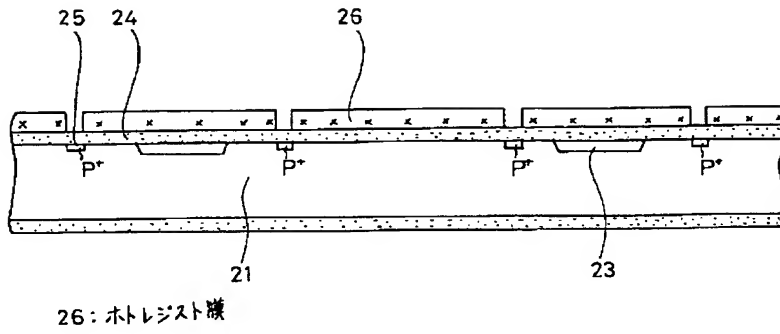
2: エロクシヤル層
4: 分離領域
8: SiN

【図9】

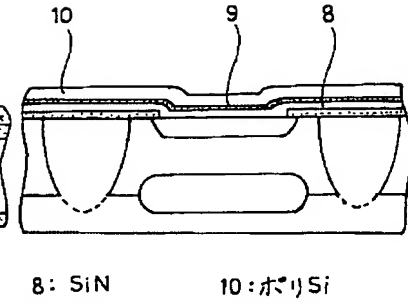


(10)

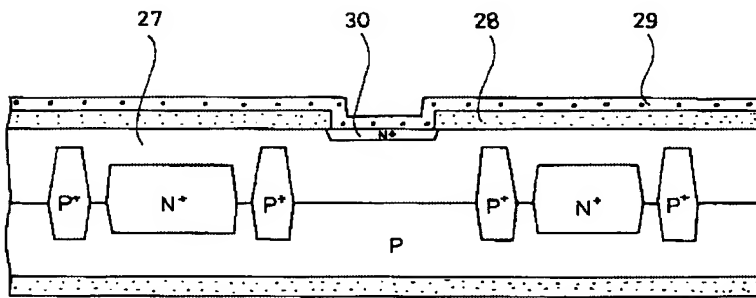
【図2】



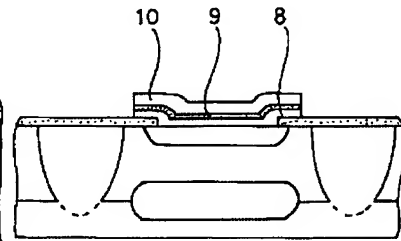
【図12】



【図3】

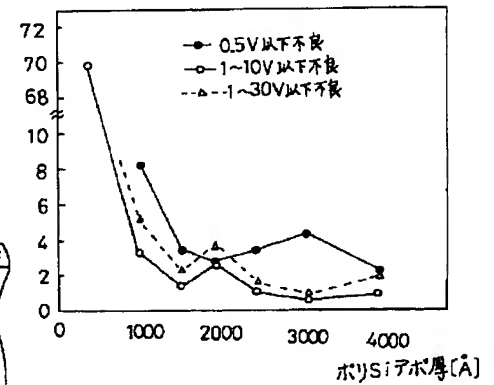


【図13】

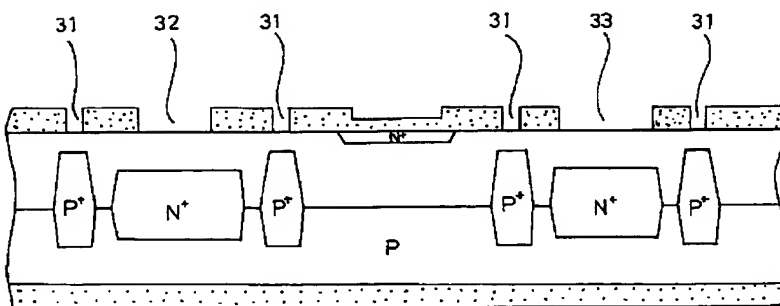


【図21】

耐圧不良率 [%]

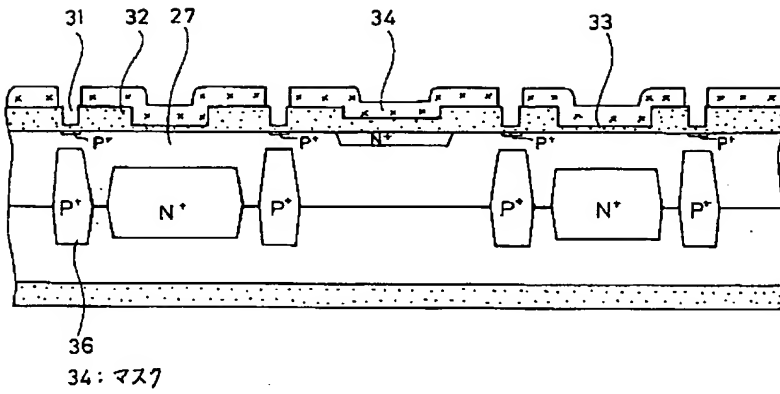


【図4】

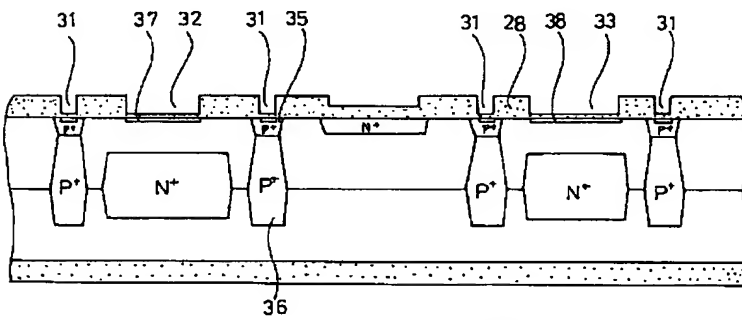


(11)

【図5】

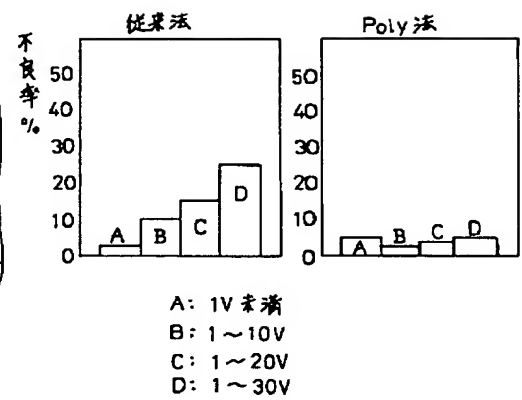


【図6】

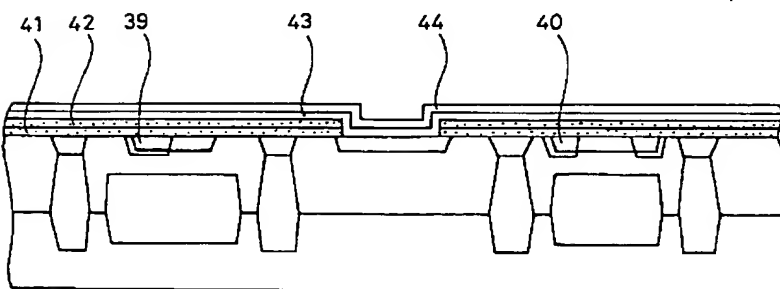


35: 上側の拡散領域
36: 下側の拡散領域
37: ヘース領域
38: 拡散抵抗領域

【図22】



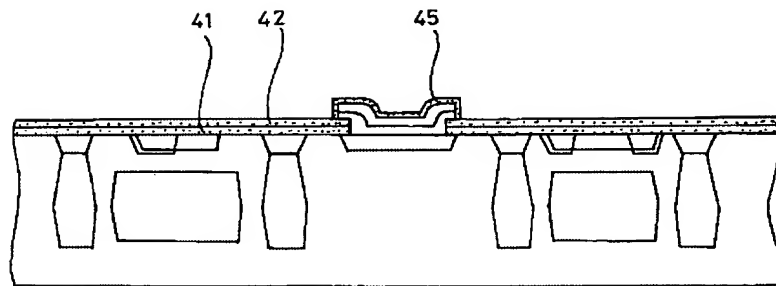
【図7】



39: ベースコンタクト領域
40: コンタクト領域
43: SiN
44: ポリSi

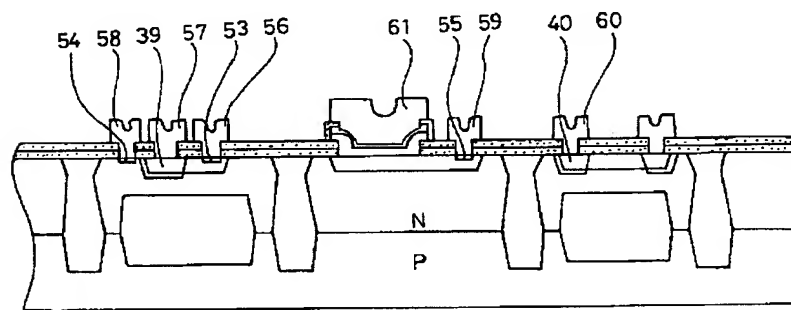
(12)

【図8】

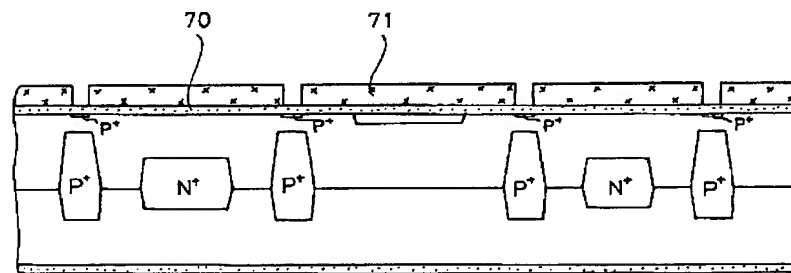


45: SiO₂

【図10】

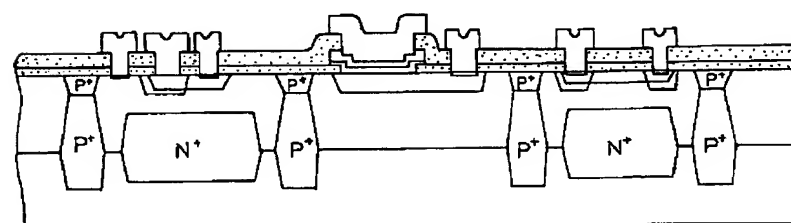


【図14】



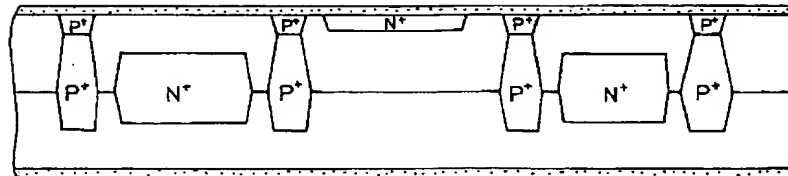
71:レジスト

【図20】

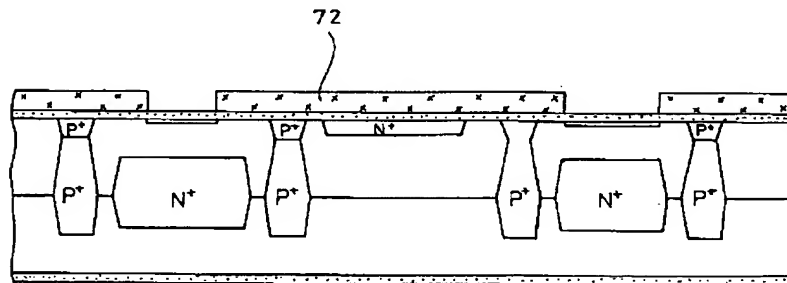


(13)

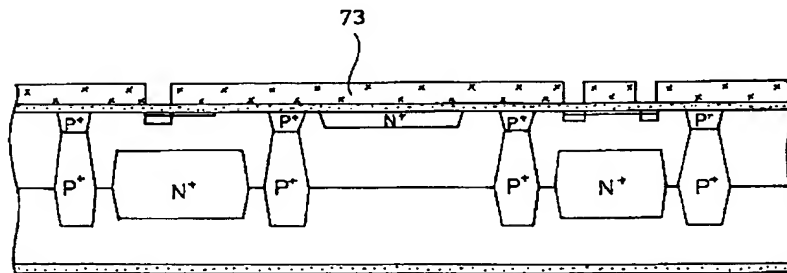
【図15】



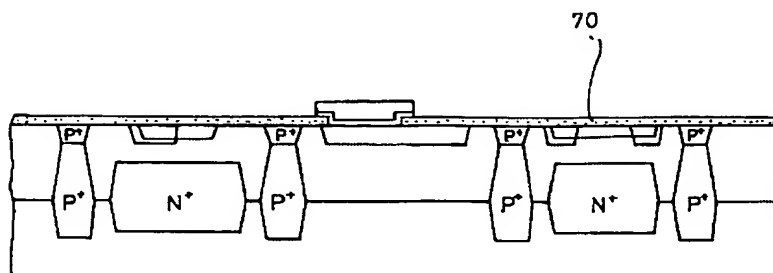
【図16】



【図17】

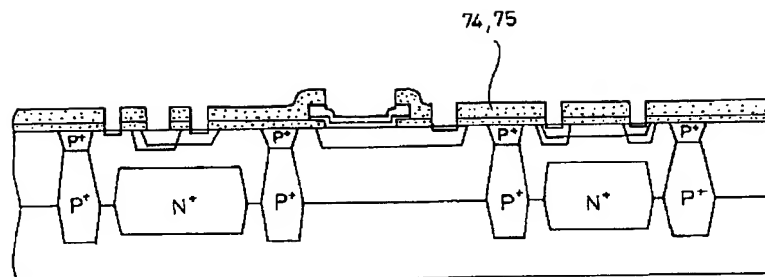


【図18】



(14)

【図19】



フロントページの続き

(72)発明者 田上 康成
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内
(72)発明者 大石橋 康雄
大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

Fターム(参考) 5F038 AC05 AC06 AC10 AC15 AV05
EZ12 EZ13 EZ15 EZ16 EZ20
5F082 BA02 BA28 BA47 BC01 BC13
BC15 DA03 DA10 EA05 EA13
EA27